

MICROWAVE OSCILLATOR**Publication number:** JP63211904 (A)**Publication date:** 1988-09-05**Inventor(s):** MURAGUCHI MASAHIRO; OWADA KUNIKI**Applicant(s):** NIPPON TELEGRAPH & TELEPHONE**Classification:**

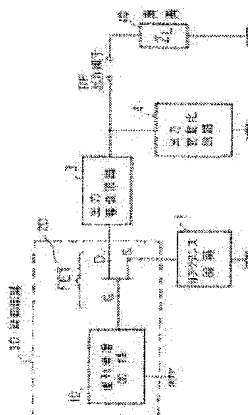
- international: H03B5/04; H03B5/18; H03B5/00; H03B5/18; (IPC1-7): H03B5/04; H03B5/18

- European:

Application number: JP19870044819 19870227**Priority number(s):** JP19870044819 19870227**Abstract of JP 63211904 (A)**

PURPOSE: To make an output stabilizing circuit strong against impedance fluctuation or bias fluctuation of a connected load by adding the circuit in an output matching circuit or to an output terminal.

CONSTITUTION: An active circuit 30 consists of a series feedback 10 and an FET 20. The circuit without the output stabilizing circuit is designed by a conventional design to decide the data for an output matching circuit 3, a reactance circuit 1 and a series feedback circuit 10. In connecting a load (ZL = 50Ω), the output stabilizing circuit 4 is brought into a low impedance so as to increase the negative resistance when viewing the load from a gate terminal G of the FET. Thus, the capability keeping always the oscillation against load fluctuation is increased to the oscillator. Thus, the stable oscillation is obtained.



Data supplied from the esp@cenet database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-211904

⑬ Int. Cl.⁴

H 03 B 5/04
5/18

識別記号

庁内整理番号

A-8731-5J
C-8731-5J

⑭ 公開 昭和63年(1988)9月5日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 マイクロ波発振器

⑯ 特 願 昭62-44819

⑰ 出 願 昭62(1987)2月27日

⑱ 発 明 者 村 口 正 弘 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
社厚木電気通信研究所内

⑲ 発 明 者 大 和 田 邦 樹 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
社厚木電気通信研究所内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 玉 蟲 久五郎 外2名

明 細 書

1. 発明の名称

マイクロ波発振器

2. 特許請求の範囲

能動回路にリアクタンス回路と、出力整合回路とが接続されたマイクロ波発振器において、出力安定化回路は、前記出力整合回路の内部もしくは出力整合回路の出力側に接続され、発振周波数を安定に発振せしめることを特徴とするマイクロ波発振器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、マイクロ波発振器に関するものであり、特に、接続する負荷の変動やバイアスの変動に強く安定した発振を行なうマイクロ波発振器に関するものである。

(従来の技術)

トランジスタを用いた発振器は一般に第6図に示す構成を使用している。同図において、1はリアクタンス回路、2は帰還回路を含む2ポート能動回路、3は出力整合回路である。

ここで帰還回路を含む2ポート能動回路2は、トランジスタの出力側から入力側に直列もしくは並列に帰還をかけた能動回路であり、B-B'に適当な位相で反射を生じさせるリアクタンス回路1と組合わせてA-A'において負性抵抗を生じさせる。出力整合回路3は、発振器出力端に接続される負荷(一般に50Ω)に対して、発振出力が最大となるように、インピーダンス変換および位相調節を行なう回路である。

(発明が解決しようとする問題点)

従来は前記の構成により発振器を製作していたが以下の点で問題があつた。

(1) 負荷のインピーダンスが周波数や温度等で変動する場合、50Ωから逸脱し発振が不安定と

なる。そのため、アイソレータなどの単向性回路を発振器出力と負荷との間に組込んでいたが、アイソレータは高価かつ大型で、発振器の小型化、モノリシックマイクロ波集積回路(MMIC)化を防げる。

(2) 電圧制御発振器(VCO: Voltage Controlled Oscillator)

など発振周波数を変化させる目的で設計されたマイクロ波発振器では、前記(1)の問題が本質的となり、連続した周波数で安定して発振させるためにはアイソレータが不可欠であつた。

(3) VCOでは、「リアクタンス回路」や「帰還回路」中に電圧制御の可変容量ダイオード(バラクタ・ダイオード)を用いることにより回路内のインピーダンスを変化させ発振周波数を変化させているが、バラクタ・ダイオードの制御電圧の変化により、トランジスタのバイアスが変化する場合があります、発振を維持するために、新たにバイアス調整が必要な場合があつた。

(4) VCOをMMIC化する場合、バラクタ・ダ

イオードはFETの製造工程で実現せねばならず、損失の大きい(抵抗が大きい)ダイオードしか得られない。また、バイアスにより抵抗変化も大きいため、高安定な発振を得ることは難しかつた。

〔発明の目的〕

本発明の目的は、接続負荷のインピーダンス変動や、バイアス変動に強いマイクロ波発振器を提供することにある。

〔問題を解決するための手段〕

本発明によるマイクロ波発振器の構成を第1図(a)(b)に示す。ここで、第6図の従来構成と異なる点は、出力安定化回路4を、出力整合回路3の中若しくは出力整合回路の出力端側に付加した点である。

第2図(a)(b)は出力安定化回路4を付加したマイクロ波発振器の実施例の概略である。能動回路30は、直列帰還回路10とFET20とから成る。

〔作用〕

50Ω負荷40と安定化回路はほぼ並列接続の関係となっており、安定化回路は高周波的に低インピーダンスとしているため、出力安定化回路4を含めた負荷が50Ωより小さく見え、これをゲート端子から観測すると負性抵抗の増大として見える。

G点での負性抵抗が大きいと、発振器に負荷変動に対して常に発振を維持しようとする能力が大きくなる。従つて、安定した発振が得られる。

〔実施例〕

本発明のVCOについて実施例に基いて説明する。第3図は、12GHz帯電圧制御発振器(VCO)をGaAs基板上にモノリシック集積化した実施例の等価回路図を示す。同図において、第1図、第2図に対応する構成部分については同一符号にて示し、1はリアクタンス回路、3は出力整合回路、4は出力安定化回路、10は直列帰還回路、20はFETを示す。次に、各構成部1、

負荷Z_L40は通常は50Ω実抵抗となる。

本発明の安定化回路4は次のように実現する。まず、出力安定化回路なしの回路について通常の設計法で設計し、出力整合回路、リアクタンス回路、直列帰還回路の数値を定める。この時、出力は最大となるが、FETと負荷が強結合状態となり、負荷の変動が直接FETに影響を与える。

次に、負荷(Z_L=50Ω)を接続した状態で、FETのゲート端子(G)より負荷側を見た時に負性抵抗が大きくなるように出力安定化回路を低インピーダンスにする。

また、VCOでは直列帰還回路にバラクタ・ダイオードを入れるがモノリシック集積回路中のダイオードの損失は一般に大きいこと、かつ、制御電圧により抵抗値が変化することから、どのようなバイアスに対してもG点で負性抵抗分が損失に打ち勝つためには、負性抵抗が十分大きくする必要がある。

3、4及び10内の各構成部分に関して説明する。16はバラクタダイオードであり、9はその制御端子である。7はFETのドレインバイアス用端子、8はFETのゲートバイアス用端子である。14、15、24、31、32、及び33は分布定数伝送線路であり、本実施例ではマイクロストリップ線路を使用している。12はバイアスカット用のキャパシタ、17、21、25はバイアスカットおよびRPシヨート用のキャパシタである。13、18、19及び22はバイアス回路のRFチョーク用インダクタであり、29はRF出力端子である。

第4図(a)(b)は、RF出力端子29に50Ω(オーム)の実抵抗を接続した時、FET20のゲート端子26より直列帰還回路10個およびFET側をみた時の実抵抗(第4図(a))およびリアクタンス値(第4図(b))を示している。

ここで: R1(X1)およびR2(X2)は直列帰還回路のゲート端子での実抵抗値(リアクタンス値)で、R1およびX1はバラクタ・ダイオ

ードの接合容量が0.35pFの時、またR2およびX2は0.20pFの時の値である。実施例のダイオードは、ダイオード制御電圧により接合容量が0.35pFから0.20pFまで変化するようになっている。一方、-Rおよび-Xは、50Ω負荷をVCOに接続した時のゲート端子からFET側を見た時の負性抵抗値およびリアクタンス値である。一点鎖線は安定化回路なしの場合、実線は安定化回路付きの場合である。

-RがR1若しくはR2より大きい時、回路は負性抵抗を維持し発振の可能性が生じる。ここで $-X + X1 = 0$ もしくは $-X + X2 = 0$ のようにリアクタンスの和が零の周波数で正帰還がかかり発振が立ち上がる。例えば、12.5GHzでは安定化回路なしの時の負性抵抗値は-14Ωであるが、安定化回路を付けると-36Ωに増大する。

負荷変動が生じた場合、ゲート端子での負性抵抗値が変化するが、ここで常に負性抵抗値が帰還回路の実抵抗値に勝っていないと発振が停止する。従つて、安定化回路を付けると発振条件の余裕

度が増大し、多少の変動にも強い発振器を実現できる。

第3図に図示の回路は、150μm厚のGaAs基板上に1.5μm×2.5μmのGaAsチップを搭載した回路構成である。なお、第3図の出力安定化回路4は、インダクタンス、キャパシタンス、伝送線路を別個の構成として示しているが、これらを集積化する場合は、インダクタンス、キャパシタンスの効果を分布定数的に実現できる伝送線路のみで構成してもよい、又は伝送線路を省き、インダクタンスとキャパシタンスの集中定数のみで構成してもよい。

第5図(a)(b)に、安定化回路の有無によるGaAsモノリシックVCOのRF出力特性(第5図(a))及び周波数発振特性(第5図(b))の差異を示す。これはVCOチップを直接50Ω線路でスペクトルアナライザに接続し測定した結果である。安定化回路なしのとき、3箇所で発振が不安定となりダイオード制御電圧を0Vから負方向へ変化させた場合、発振周波数は連続的に変化していない。

一方、安定化回路付きの場合、出力は多少低下するが、連続した周波数で安定した発振を生じている。また、安定化回路付きの場合は広いバイアス範囲で発振を示したのに対し、安定化回路なしの場合、その範囲はかなり狭かった。例えば前者はドレインバイアス2V以上で安定した発振を示したのに対し、後者は3V以上必要とし、かつ、前者程度の安定発振をさせるためには5V程度の電圧が必要であつた。

(発明の効果)

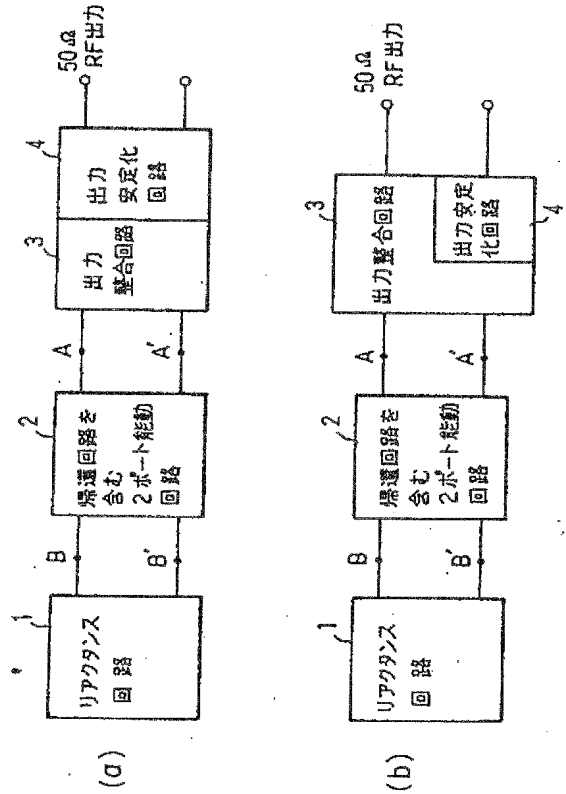
以上説明したように、安定化回路はモノリシック集積回路のような超小型チップの内に付加でき、VCOのような周波数可変の発振器の安定化・小型化に極めて有効である。安定化回路付きVCOは直接、他の回路と接続できるため、周波数シンセサイザなどのVCOを用いた複合回路を大幅に小型化できるばかりか、将来、周波数シンセサイザを1チップ化することも可能である。

4. 図面の簡単な説明

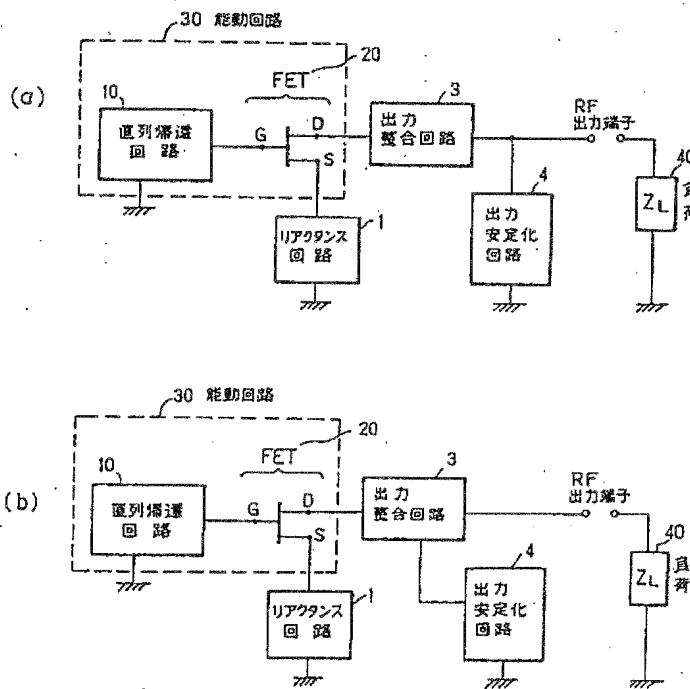
第1図(a)(b)は本発明のマイクロ波発振器の構成、第2図(a)(b)はFETを用いた直列帰還発振器の実施例、第3図はモノリシック電圧制御発振器(VCO)の等価回路、第4図(a)(b)はVCOのFETのゲート端子でFET側および直列帰還回路側を見た時の抵抗値およびリアクタンス値の計算値、第5図(a)(b)はモノリシックVCOのRF出力及び発振周波数測定値、第6図は、従来のマイクロ波発振器の構成を示す。

図(第1図、第2図、第3図)において

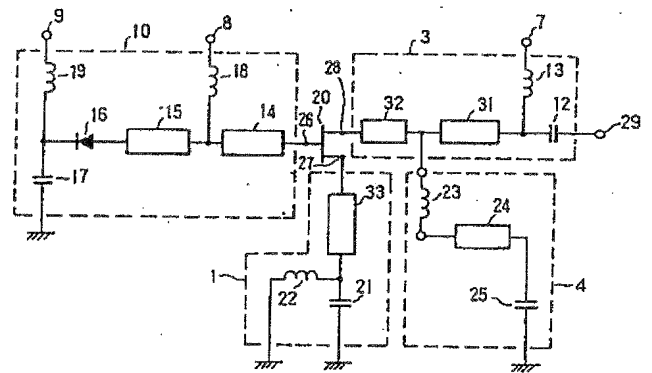
- 1はリアクタンス回路
- 2は帰還回路を含む2ポート能動回路
- 3は出力整合回路
- 4は出力安定化回路
- 10は直列帰還回路
- 20はFET
- 30は能動回路



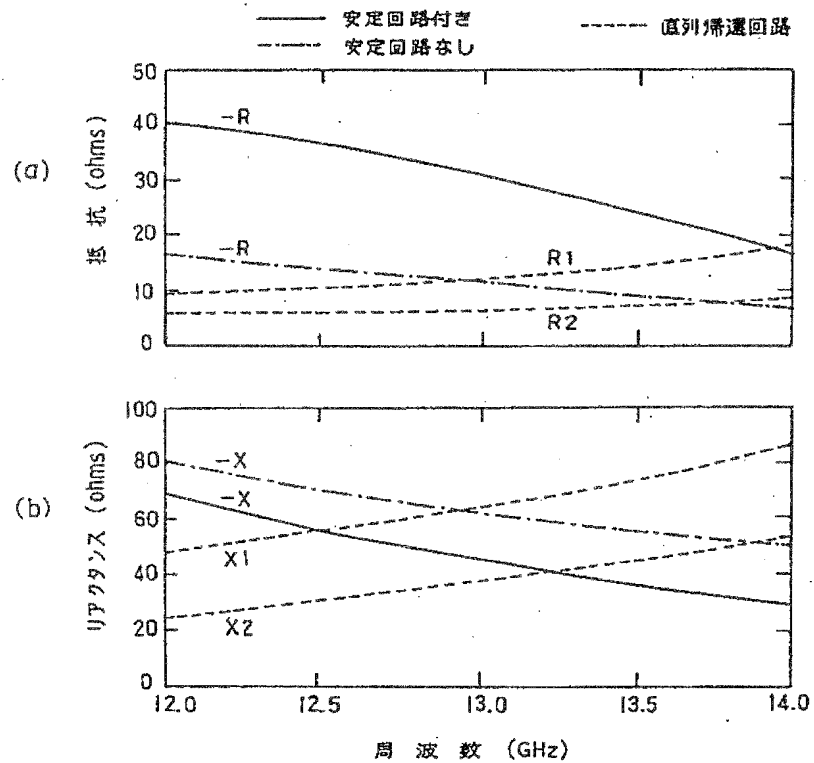
第 1 図



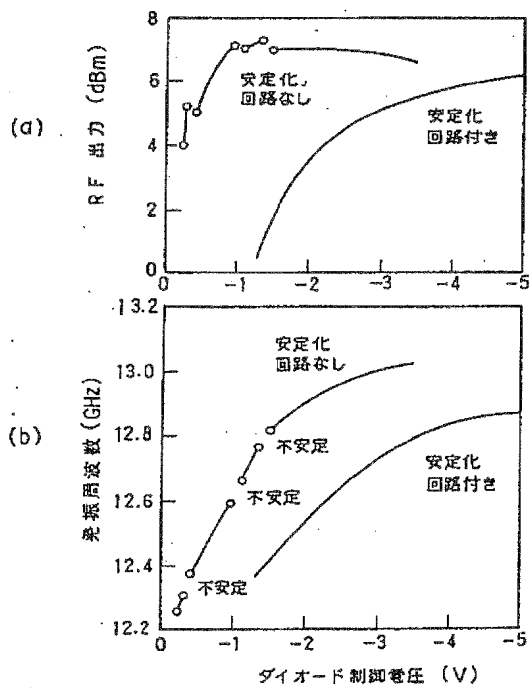
第 2 図



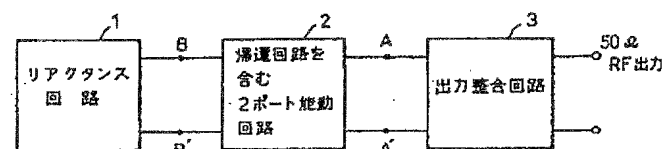
第 3 図



第 4 図



第 5 図



第 6 図